

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- BLURRY OR ILLEGIBLE TEXT
- SKEWED/SLATED IMAGES
- COLORED PHOTOS
- BLACK OR VERY DARK BLACK AND WHITE PHOTOS
- UNDECIPHERABLE GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

JP 63-219172
303.356us1

4/9/1
DIALOG(R) File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.
02602272 **Image available**

THIN-FILM TRANSISTOR

PUB. NO.: 63-219172 A]
PUBLISHED: September 12, 1988 (19880912)
INVENTOR(s): AOKI SHIGEO
UKAI YASUHIRO
APPLICANT(s): HOSIDEN ELECTRONICS CO LTD [327818] (A Japanese Company or Corporation), JP (Japan)
APPL. NO.: 62-052418 [JP 8752418]
FILED: March 06, 1987 (19870306)
INTL CLASS: [4] H01L-029/78; H01L-027/12
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)
JOURNAL: Section: E, Section No. 702, Vol. 13, No. 8, Pg. 68, January 10, 1989 (19890110)

ABSTRACT

PURPOSE: To allow a semiconductor layer to be roughly similar to a gate insulating film in terms of thermal expansion factor and to obtain a transistor capable of excellent performance by a method wherein the semiconductor layer and the gate insulating film are both built of an amorphous silicon carbide.

CONSTITUTION: A semiconductor layer 18 situated between a source electrode 12 and a drain electrode 13 is constituted of an amorphous silicon carbide a-Si_{(sub 1-x)C_{(sub x)}} with its carbon quantity (x) not more than 0.2. On the other hand, a gate insulating film 19 is also made of an amorphous silicon carbide a-Si_{(sub 1-x)'C_{(sub x)'}} with its carbon quantity x' not less than the carbon quantity (x) in the semiconductor layer 18. Conductivity, which is lower when the carbon rate is higher, may be regulated within a range of 10^{(sup -9)-10^(sup -16)(.omega.cm)^(sup -1)}. The semiconductor layer 18 and the gate insulating film 19 are nearly equal in terms of thermal expansion factor because they are built of similar materials, which ensures an excellent behavior.}

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭63-219172

⑬ Int.Cl.

H 01 L 29/76
27/12

識別記号

311

庁内整理番号

B-8422-5F
7514-5F

⑭ 公開 昭和63年(1988)9月12日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特願 昭62-52418

⑰ 出願 昭62(1987)3月6日

⑱ 発明者 青木 茂雄 大阪府八尾市北久宝寺1丁目4番33号 星電器製造株式会社内

⑲ 発明者 鶴飼 育弘 大阪府八尾市北久宝寺1丁目4番33号 星電器製造株式会社内

⑳ 出願人 星電器製造株式会社 大阪府八尾市北久宝寺1丁目4番33号

㉑ 代理人 弁理士 草野 卓

明細書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

(1) ソース電極及びドレイン電極間に半導体層が形成され、その半導体層と接してゲート絶縁膜が形成され、そのゲート絶縁膜と接してゲート電極が形成された薄膜トランジスタにおいて、

上記半導体層はアモルファス炭化シリコン $a\text{-Si}_{1-x}\text{C}_x$ よりなり、

上記ゲート絶縁膜はカーボンの量 x が上記半導体層のそれよりも多いアモルファス炭化シリコンよりなることを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

「産業上の利用分野」

この発明は例えばアクティブ液晶表示装置における画面電極に対するスイッチ素子として使用される薄膜トランジスタに関する。

「従来の技術」

従来のこの種の薄膜トランジスタは例えば第3

図に示すように、ガラスなどの絶縁基板11上に互に離れてソース電極12及びドレイン電極13が例えば透明導電膜で形成され、これらソース電極12及びドレイン電極13間にわたってアモルファスシリコンの半導体層14が基板11上に形成されている。半導体層14上には炭化シリコン Si_xN_y や二酸化シリコン SiO_2 などのゲート絶縁膜15が形成され、そのゲート絶縁膜15上に例えばアルミニウムのゲート電極16が形成されている。なおソース電極14、ドレイン電極15と半導体層16との間にそれぞれオーミック接触層21、22が形成されている。

このように従来においては一般に半導体層14とゲート絶縁膜15とは異物質が用いられている。このためこれら半導体層14とゲート絶縁膜15との間に熱膨張係数の差が存在し、界面単位が大きく、良好な薄膜トランジスタが得られなかった。「問題点を解決するための手段」

この発明によれば薄膜トランジスタの半導体層はアモルファス炭化シリコン $a\text{-Si}_{1-x}\text{C}_x$ よりなり、

ゲート絶縁膜もアモルファス炭化シリコン $a\text{-Si}_{1-x}\text{C}_x$ よりなり、そのカーボン量 x が半導体層のうち x より多いものとされ、半導体層より導電率が十分小とされてある。

このようにこの発明の薄膜トランジスタにおいては半導体層とゲート絶縁膜とが同材で構成されているため、これら間に熱膨張係数の差が存在しないため、良好に動作する薄膜トランジスタが得られる。

「実施例」

第1図はこの発明による薄膜トランジスタの実施例を示し、第3図と対応する部分には同一符号を付けてある。

この発明においてはソース電極12及びドレイン電極13間にわたって形成される半導体層18はアモルファス炭化シリコン $a\text{-Si}_{1-x}\text{C}_x$ で構成され、そのカーボン量 x を0.2以下として導電率が例えば $10^{-11} \sim 10^{-14}$ (Ωcm) $^{-1}$ 程度のものとされる。

半導体層18と接して形成されるゲート絶縁膜

3

また第2図にはアモルファス炭化シリコンのカーボン量 x に対する導電率も示しており、カーボン量 x を増加する程、導電率が低下し、カーボン量 x により導電率を $10^{-11} \sim 10^{-14}$ (Ωcm) $^{-1}$ と大幅に制御することができる事が理解される。この例では半導体層18のカーボン量は例えば10%程度とし、ゲート絶縁膜19のカーボン量は50%程度とする。

また、第4図に示すようにアモルファス炭化シリコンにボロン(B)等の族またはリン(P)等の元素をドープすることにより、偏電子制御を行い、組みの導電率の $a\text{-Si}_{1-x}\text{C}_x$ を得ることが出来る。

第4図で黒丸は暗導電率、白丸は光導電率を示す。

なお、薄膜トランジスタの半導体層として一般に用いられている水素化アモルファスシリコン $a\text{-SiH}$ の導電率は $10^{-11} \sim 10^{-14}$ (Ωcm) $^{-1}$ である。

上述においてはこの発明はスタガ構造でゲート電極が上側に位置したトップゲート形の薄膜トランジスタに適用したが、スタガ構造でゲート電極

19もこの発明ではアモルファス炭化シリコン $a\text{-Si}_{1-x}\text{C}_x$ で構成される。そのカーボン量 x は半導体層18のカーボン量 x よりも大、例えば $0.2 < x < 0.95$ とされ、その導電率は例えば 10^{-11} (Ωcm) $^{-1}$ とされる。

このようにアモルファス炭化シリコンの半導体層18とゲート絶縁膜19とを形成するには、これらを例えば SiH_4 ガスと C_2H_2 ガスとを用いてプラズマCVD(化学的気相成長法)により形成し、その際の SiH_4 ガスと C_2H_2 ガスとの流量比を制御すればよい。つまり半導体層18を形成する場合よりも、ゲート絶縁膜19を形成する場合は SiH_4 ガスの比率を少なくする。 C_2H_2 ガスと($\text{SiH}_4 + \text{C}_2\text{H}_2$)ガスとの流量比に対する、形成されたアモルファス炭化シリコンの導電率はその成膜条件を制御することにより例えば第2図に示すように、 $10^{-11} \sim 10^{-14}$ (Ωcm) $^{-1}$ 程度変化する。従って例えば、半導体層18を形成した後、 C_2H_2 ガスと SiH_4 ガスとの流量比を制御して逆続してゲート絶縁膜19を形成することができる。

4

が下側に位置したゲート形の薄膜トランジスタや、コプラナ構造の薄膜トランジスタにも適用することができる。

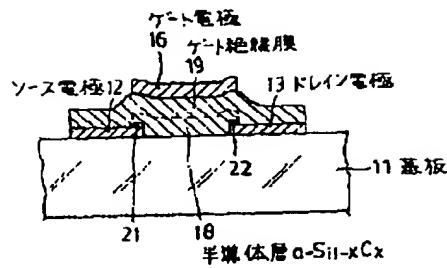
「発明の効果」

以上述べたようにこの発明の薄膜トランジスタによれば半導体層とゲート絶縁膜とが同一材で構成されているため、これらの熱膨張係数がほぼ等しいものとなり良好に動作するものが得られる。その製造も前述したように同一ガス系で流量比のみを制御すればよく、製造が容易であり、しかも半導体層とゲート絶縁膜との界面特性が良好なもののが得られる。

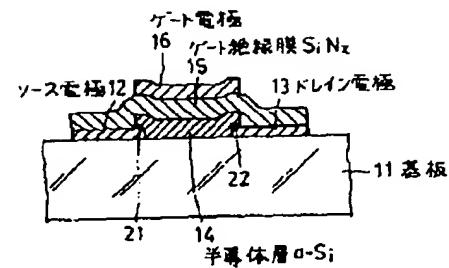
4. 図面の簡単な説明

第1図はこの発明による薄膜トランジスタの一例を示す断面図、第2図は $\text{C}_2\text{H}_2 / (\text{SiH}_4 + \text{C}_2\text{H}_2)$ 及びカーボン量に対するアモルファス炭化シリコンの導電率の例を示す図、第3図は従来の薄膜トランジスタを示す断面図、第4図はリン(P)またはボロン(B)のドープ量に対する $a\text{-Si}_{1-x}\text{C}_x$ の光導電率及び導電率を示す図である。

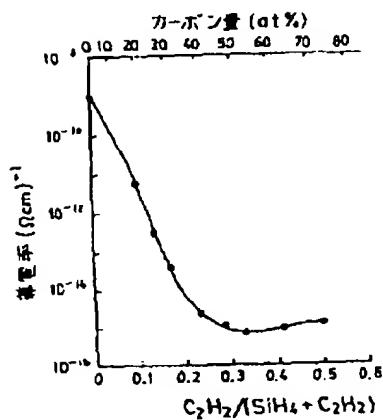
ガ 1 図



ガ 3 図



ガ 2 図



ガ 4 図

